PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-302014
(43)Date of publication of application : 26.10.1992

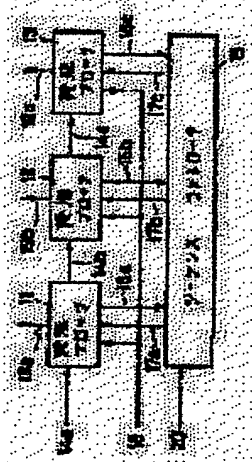
(51)Int.Cl. G06F 1/04

(21)Application number : 03-089869
(22)Date of filing : 28.03.1991

(71)Applicant : TOKYO ELECTRIC CO LTD
(72)Inventor : ODA AKIRA

(54) LOGIC CIRCUIT DRIVING DEVICE

(57)Abstract:
PURPOSE: To suppress an excessive noise due to system clock and power consumption as much as possible by supplying the system clock to a logical element as necessary.
CONSTITUTION: When operational information signals 14a-14c are inputted to functional blocks 11-13, or when processing signals 19a-19c are outputted based on the operational information signals 14a-14c, an operation starting signal or an operation end signal is outputted to a status signal included in status information signals 16a-16c. A sequence controller 15 executes or stops the supply of a system clock 20 through signals 17a-17c for operation to the pertinent functional block by this status signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁（JP）　(12)公開特許公報（A）　(11)特許出願公開番号

特開平4－302014

(43)公開日　平成4年(1992)10月26日

(51)Int.Cl.[5]	識別記号	庁内整理番号	FI	技術表示箇所
G06F 1/04	301 B	7368－5B		

審査請求　未請求　請求項の数1（全 7 頁）

(21)出願番号　特願平3－89869

(22)出願日　平成3年(1991)3月28日

(71)出願人　000003562
東京電気株式会社
東京都目黒区中目黒2丁目6番13号

(72)発明者　織田　晃
静岡県田方郡大仁町大仁570番地　東京電気株式会社大仁工場内

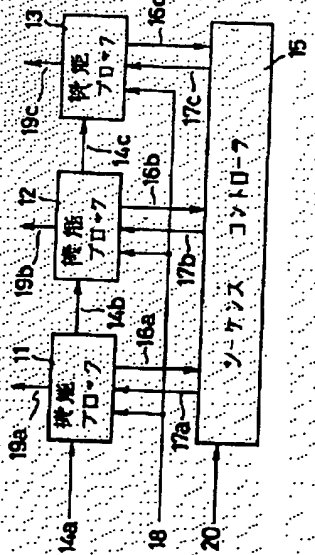
(74)代理人　弁理士　鈴江　武彦

(54)【発明の名称】　論理回路駆動装置

(57)【要約】

【目的】システムクロックを必要なときだけ論理素子に供給して、システムクロックによる余計なノイズおよび電力消費をできる限り抑える。

【構成】機能ブロック11、12、13において、動作情報信号14a、14b、14cが入力されたとき、または動作情報信号14a、14b、14cに基づいて処理信号19a、19b、19cが出力されたとき、ステータス情報信号16a、16b、16cに含まれたステータス信号に動作開始信号または動作終了信号を出力する。シーケンスコントローラ15は、このステータス信号により動作用信号17a、17b、17cを介して該当する機能ブロックにシステムクロック20の供給または供給停止を行うもの。



1

【特許請求の範囲】

【請求項1】 各種論理素子により構成される複数の論理回路をシステムクロック信号により同期動作する論理回路駆動装置において、前記各論理回路それぞれに対して動作情報信号が入力されたときに動作開始信号を出力し、前記各論理回路の動作が終了するとそれぞれ動作終了信号を出力する複数のステータス出力手段と、この各ステータス出力手段からの動作開始信号に基づいて該当する論理回路へシステムクロック信号を供給し、前記各ステータス出力手段からの動作終了信号に基づいて該当する論理回路へのシステムクロック信号の供給を停止するクロック供給制御手段とからなることを特徴とする論理回路駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、各種論理素子により構成される複数の論理回路をシステムクロック信号により同期動作する論理回路駆動装置に関する。

【0002】

【従来の技術】従来、例えば図5に示すように、複数の論理回路である機能ブロック1、2、3を設け、これらの各機能ブロック1～3にそれぞれ動作情報信号4a、4b、4cを入力するとともにシステムクロック5を入力して動作させ、その動作の結果として各機能ブロック1～3から処理信号7a、7b、7cが出力されるようになっている。なお、動作情報信号4aが機能ブロック1に入力されると、機能ブロック1から次段の機能ブロック2へ動作情報信号4bが入力され、さらに動作情報信号4bが機能ブロック2に入力されると、機能ブロック2からさらに次段の機能ブロック3へ動作情報信号4cが入力されるようになっている。また各機能ブロック1～3はシステムリセット6によりリセットされるようになっている。

【0003】前記機能ブロック1は図6に示すように、各種論理素子、例えばフリップフロップ1a，1e，ゲート回路1b，1f，カウンタ1c，1d，インバータ1g，1hにより構成されている。なお、図示しないが他の機能ブロック2，3も同様の回路構成になっている。

【0004】この従来例においては、まず動作情報信号4aが機能ブロック1に入力されると、フリップフロップ1aが動作し、これによりシステムクロック6をカウンタ1c，1dがカウント動作し、カウンタ1dから次段の機能ブロック2に動作情報信号4bを出力するとともにカウンタ1cから処理信号7aを出力する。すなわち動作情報信号4bは処理信号7aの出力タイミングとは無関係に出力されるようになっている。

【0005】機能ブロック2では機能ブロック1からの動作情報信号4bに基づいて同様の動作を行い、動作情報信号4c及び処理信号7bを出力する。

2

【0006】機能ブロック3では機能ブロック2からの動作情報信号4cに基づいて同様の動作を行い、処理信号7cを出力する。なお、機能ブロック3は最終段となっているため動作情報信号の出力は行われない。

【0007】またシステムリセット5が各機能ブロック1～3に入力されると各機能ブロック1、2、3の動作がリセットされる。

【0008】なお機能ブロック1についてシステムリセット5、システムクロック6、動作情報信号4a、処理信号7a、動作情報信号4bの入出力タイミングを示すと図7に示すようになる。

【0009】このように従来例によれば、各機能ブロックおよびこの機能ブロックを構成する論理素子には、常時システムクロックが入力されるようになっていた。

【0010】近年、装置の高速処理の要求に伴ってシステムクロックは高速化し、さらにまた、回路を構成する論理素子の使用量は増加しており、プリント基板に実装される論理素子は、商品の小形化に伴ってより高密度化している。

【0011】

【発明が解決しようとする課題】他の電子機器の誤作動の原因の1つに、論理素子がオン・オフするときに流れる電流により発生するノイズがある。システムクロックは、論理素子に入力されると論理素子をオン・オフさせるので、システムクロックの高速化および実装の高密度化に伴ってノイズはさらに増大している。

【0012】通常、システムクロックは常時ほとんどの論理素子に供給されているが、ほとんどの論理素子は、常時回路における動作処理に関与しているわけではないため、動作処理に関与しない時に論理素子に供給されたシステムクロックにより発生するノイズは、余計なノイズとして問題であった。

【0013】同様に、回路における動作処理に関与しない時に論理素子に供給されたシステムクロックにより消費される電力もまた、余計な電力消費として問題であった。

【0014】そこでこの発明は、論理素子に対して、動作が必要とされる時間のみシステムクロックを供給することができ、従ってシステムクロックにより発生するノイズおよび電力消費を最小限に抑えたクロック周波数制御装置を提供することを目的とする。

【0015】

【課題を解決するための手段】この発明は、各種論理素子により構成される複数の論理回路をシステムクロック信号により同期動作する論理回路駆動装置において、各論理回路それぞれに対して動作情報信号が入力されたときに動作開始信号を出力し、各論理回路の動作が終了するとそれぞれ動作終了信号を出力する複数のステータス出力手段と、この各ステータス出力手段からの動作開始信号に基づいて該当する論理回路へシステムクロック信

号を供給し、各ステータス出力手段からの動作終了信号に基づいて該当する論理回路へのシステムクロック信号の供給を停止するクロック供給制御手段とからなるものである。

【0016】

【作用】このような構成の本発明において、論理回路に動作情報信号が入力されると、ステータス出力手段から動作開始信号が、クロック供給制御手段に入力される。

【0017】すると、クロック供給手段からシステムクロック信号が、該当する論理回路へ供給される。

【0018】該当する論理回路は供給されたシステムクロック信号により、動作情報信号に基づいた動作を行う。

【0019】論理回路が動作情報信号に基づいた動作を終了すると、ステータス出力手段から動作終了信号が、クロック供給制御手段に入力される。

【0020】すると、該当する論理回路へ出力されているシステムクロック信号が、クロック供給手段により停止させられる。

【0021】

【実施例】以下、この発明の一実施例を図面を参照して説明する。

【0022】図1において、複数の論理回路である機能ブロック11、12、13を設け、これらの各機能ブロック11～13にそれぞれ動作情報信号14a、14b、14cが入力されている。動作情報信号14aが機能ブロック11に入力されると、前記機能ブロック11から次段の前記機能ブロック12へ動作情報信号14bが入力され、さらに動作情報信号14bが前記機能ブロック12に入力されると、前記機能ブロック12から次段の前記機能ブロック13へ動作情報信号14cが入力されるようになっている。

【0023】前記機能ブロック11～13からクロック供給制御手段としてのシーケンスコントローラ15へステータス信号を含む複数の信号からなるステータス情報信号16a、16b、16cが入力されるようになっている。

【0024】前記シーケンスコントローラ15から前記各機能ブロック11～13へ、それぞれシステムクロックを含む複数の信号からなる動作用信号17a、17b、17cが入力されるようになっている。

【0025】前記機能ブロック11～13には、システムリセット18がそれぞれ入力されている。

【0026】動作情報信号14a～14cおよびシステムクロックを含む動作用信号17a～17cが入力されて、各機能ブロック11～13が動作し、その動作の結果として各機能ブロック11～13から処理信号19a、19b、19cが出力されるようになっている。

【0027】前記シーケンスコントローラ15には、システムクロック20が入力されるようになっている。

【0028】前記機能ブロック11と前記シーケンスコントローラ15は、図2に示すように配線されており、前記機能ブロック11は、各種論理素子、例えばフリップフロップ11a、11e、ゲート回路11b、11f、カウンタ11c、11d、インバータ11g、11hにより構成されており、前記シーケンスコントローラ15は、前記機能ブロック11に対して各種論理素子、例えばフリップフロップ15a、15b、AND回路15cから構成されている。

【0029】前記機能ブロック11のフリップフロップ11aはステータス出力手段を構成している。なお図示しないが、他の前記機能ブロック12、13も同様の回路構成になっており、前記シーケンスコントローラ15も機能ブロック11に対して構成されていたのと同様に前記機能ブロック12、13に対しても同様な回路構成になっている。

【0030】前記機能ブロック11のフリップフロップ11aの出力端子から前記シーケンスコントローラ15のAND回路15cの一方の入力端子へステータス信号線21が接続されている。なお、このAND回路15cの他の一方の入力端子にはシステムクロック20が入力されている。そして前記AND回路15cの出力端子から前記機能ブロック11のカウンタ11c、11dのCLK（クロック）端子へクロック信号線22が接続されている。

【0031】このような構成の本実施例において、動作情報信号14a～14cが入力されていないとき、機能ブロック11～13には、システムクロックは供給されていない。

【0032】ここで、動作情報信号14aが機能ブロック11に入力されると、機能ブロック11のフリップフロップ11aからステータス信号線21に動作開始信号が出力される。すると、AND回路15cからクロック信号線22にシステムクロック20が出力される。このシステムクロック20はフリップフロップ15bおよびカウンタ11c、11dに供給され、ステータス信号線21の動作開始信号はフリップフロップ15bを介してカウンタ11c、11dを動作させる。その結果カウンタ11dからは次段の機能ブロック12へ動作情報信号14bが出力され、一方カウンタ11cからは処理信号19aが出力される。

【0033】このとき、この処理信号19aがフリップフロップ15aおよびゲート回路11bを介してフリップフロップ11aのR（リセット）端子に入力され、ステータス信号線21に動作終了信号が出力される。するとAND回路15cからクロック信号線22に出力されていたシステムクロック20が停止される。

【0034】このときの、機能ブロック11について、システムリセット18、システムクロック、動作情報信号14a、処理信号19a、動作情報信号14bの入出

カタイミングは、図7に示したものと同一であることが確かめられている。

【0035】上述したことは、もちろん機能ブロック12および13においても同様に動作することである。

【0036】このように本実施例によれば、動作情報信号が入力されたときに機能ブロックへのシステムクロックの供給が開始され、処理信号が出力されたときにシステムクロックの供給を停止できる。従って、処理信号が出力されてから次の動作情報信号が入力されるまでの間において、システムクロックにより発生するノイズを防止し、電力消費を最小限にすることができる。しかも、動作処理において、常時システムクロックを供給する従来のタイミングと同一で、支障が起こらない。

【0037】次に本発明の他の実施例を図面を参照して説明する。

【0038】図3に示すものは、OR回路30により機能ブロック31および32を並列に処理して、機能ブロック33に機能ブロック31および32から出力された動作情報信号35cおよび35dをOR処理した動作情報信号35eを出力するものである。

【0039】複数の論理回路である機能ブロック31、32、33、34を設け、これらの各機能ブロック31～34にそれぞれ動作情報信号35a、35b、35e、35fが入力されるようになっており、動作情報信号35aが前記機能ブロック31に入力されると、前記機能ブロック31から前記OR回路30の一方の入力端子へ動作情報信号35cが入力され、また、動作情報信号35bが前記機能ブロック32に入力されると、前記機能ブロック32から前記OR回路30の残る一方の入力端子へ動作情報信号35dが入力される。

【0040】前記OR回路30では、各入力端子に入力される動作情報信号35c、35dをOR処理し、その処理の結果としての動作情報信号35eが、次段の前記機能ブロック33へ入力される。動作情報信号35eが前記機能ブロック33に入力されると、前記機能ブロック33から前記機能ブロック34へ動作情報信号35fが入力されるようになっている。

【0041】前記機能ブロック31～34からシーケンスコントローラ36へステータス信号を含む複数の信号からなるステータス情報信号37a、37b、37c、37dが入力されるようになっている。

【0042】前記シーケンスコントローラ36から前記各機能ブロック31～34へ、それぞれシステムクロックを含む複数の信号からなる動作用信号38a、38b、38c、38dが入力されるようになっている。

【0043】前記機能ブロック31～34にはシステムリセット39がそれぞれ入力され、動作情報信号による動作の結果としての処理信号40a、40b、40c、40dが出力されるようになっており、前記シーケンスコントローラ36には、システムクロック41が入力さ

れるようになっている。

【0044】このような構成の本実施例においては、各機能ブロック31～34は動作情報信号を入力すると、ステータス情報信号に含まれたステータス信号に動作開始信号を出力する。するとシーケンスコントローラ36からシステムクロック41が該当する機能ブロックに供給され、該当する機能ブロックはシステムクロック41により動作を行って処理信号を出力する。そして処理信号により該当する機能ブロックからシステムコントローラ36へステータス信号に動作終了信号が出力され、シーケンスコントローラ36からのシステムクロック41の供給が停止される。

【0045】このようにOR論理回路30を使用した場合でも各機能ブロック31～34は動作情報信号が入力されたときシーケンスコントローラ36からシステムクロックが供給されて動作を開始し、処理信号が出力されたときシステムクロックの供給が停止されることになる。

【0046】従って本実施例においても前記実施例と同様の効果が得られるものである。

【0047】また図4に示すものはAND論理回路50により機能ブロック51および52を並列に処理して、機能ブロック53に機能ブロック51および52から出力された動作情報信号55cおよび55dをAND処理した動作情報信号55eを出力するものである。

【0048】複数の論理回路である機能ブロック51、52、53、54を設け、これらの各機能ブロック51～54にそれぞれ動作情報信号55a、55b、55e、55fが入力されるようになっており、動作情報信号55aが前記機能ブロック51に入力されると、前記機能ブロック51から前記AND論理回路50の一方の入力端子へ動作情報信号55cが入力され、また、動作情報信号55bが前記機能ブロック52に入力されると、前記機能ブロック52から前記AND論理回路50の残る一方の入力端子へ動作情報信号55dが入力される。

【0049】前記AND論理回路50では、各入力端子に入力される動作情報信号55c、55dをAND処理し、その処理の結果としての動作情報信号55eが、次段の前記機能ブロック53へ入力される。動作情報信号55eが前記機能ブロック53に入力されると、前記機能ブロック53から前記機能ブロック54へ動作情報信号55fが入力されるようになっている。

【0050】前記機能ブロック51～54からシーケンスコントローラ56へステータス信号を含む複数の信号からなるステータス情報信号57a、57b、57c、57dが入力されるようになっている。

【0051】前記シーケンスコントローラ56から前記各機能ブロック51～54へ、それぞれシステムクロックを含む複数の信号からなる動作用信号58a、58

b、５８ｃ、５８ｄが入力されるようになっている。

【００５２】前記機能ブロック５１～５４にはシステムリセット５９がそれぞれ入力され、動作情報信号による動作の結果としての処理信号６０ａ、６０ｂ、６０ｃ、６０ｄが出力されるようになっており、前記シーケンスコントローラ５６には、システムクロック６１が入力されるようになっている。

【００５３】このような構成の本実施例においては、各機能ブロック５１～５４は動作情報信号を入力すると、ステータス情報信号に含まれているステータス信号に動作開始信号を出力する。するとシーケンスコントローラ５６からシステムクロック６１が該当する機能ブロックに供給され、該当する機能ブロックはシステムクロック６１により動作を行って処理信号を出力する。そして処理信号により該当する機能ブロックからシステムコントローラ５６へステータス信号に動作終了信号が出力され、シーケンスコントローラ５６からのシステムクロック６１の供給が停止される。

【００５４】このようにＡＮＤ論理回路５０を使用した場合でも各機能ブロック５１～５４は動作情報信号が入力されたときシーケンスコントローラ５６からシステムクロックが供給されて動作を開始し、処理信号が出力されたときシステムクロックの供給が停止されることになる。

【００５５】従って本実施例においても前記実施例と同様の効果が得られるものである。

【００５６】

【発明の効果】以上詳述したようにこの発明によれば、論理素子に対して、動作が必要とされる時間のみシステムクロックを供給することができ、従ってシステムクロックにより発生するノイズおよび電力消費を最小限に抑えたクロック周波数制御装置を提供できる。

【図面の簡単な説明】

【図１】この発明の一実施例を示す回路ブロック図。

【図２】同実施例を示す部分回路図。

【図３】この発明の他の一実施例を示す回路ブロック図。

【図４】この発明の他の一実施例を示す回路ブロック図。

【図５】従来例を示す回路ブロック図。

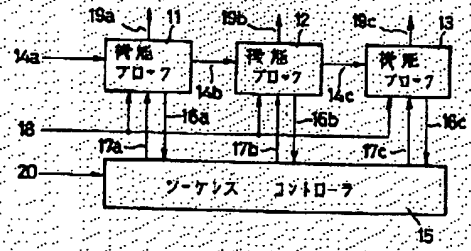
【図６】同従来例を示す部分回路図。

【図７】同従来例を示す各信号の入出力タイミングの図

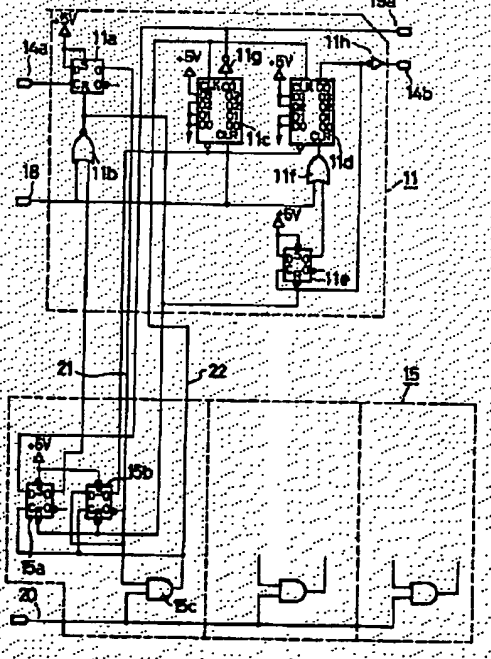
【符号の説明】

１１，１２，１３…機能ブロック、１４ａ，１４ｂ，１４ｃ…動作情報信号、１５…シーケンスコントローラ、１６ａ，１６ｂ，１６ｃ…ステータス情報信号、１７ａ，１７ｂ，１７ｃ…動作用信号、１９ａ，１９ｂ，１９ｃ…処理信号、２０…システムクロック。

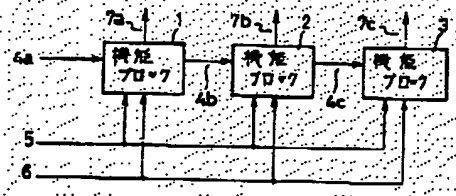
【図１】



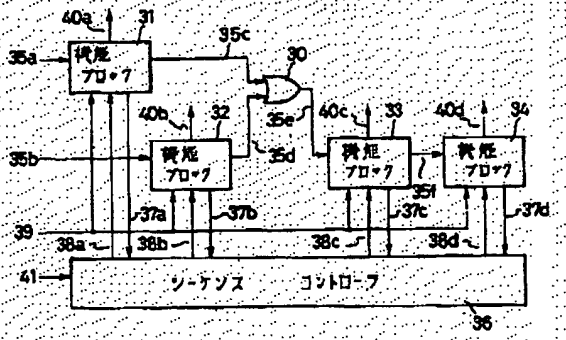
【図２】



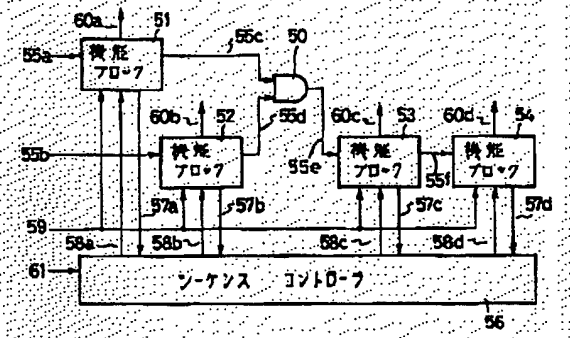
【図６】



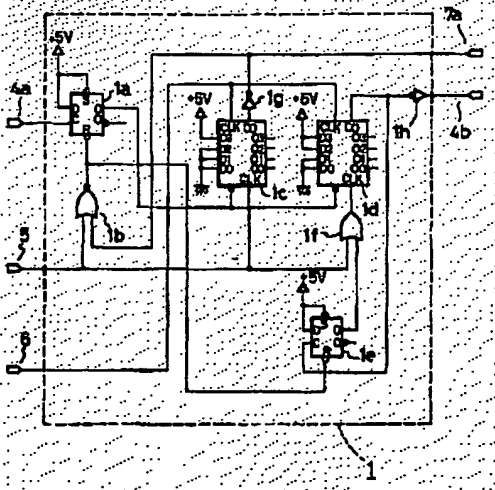
【図3】


40a
31
35a
35c
30
40b
32
35e
40c
33
40d
34
35b
35d
35f
37a
37b
37c
37d
39
38a
38b
38c
38d
41
シーケンス　コントローラ
36

【図4】


60a
51
55a
55c
50
60b
52
55d
60c
53
60d
54
55b
55e
55f
57a
57b
57c
57d
59
58a
58b
58c
58d
61
シーケンス　コントローラ
56

【図6】


5V
7a
4a
1a
1g
1h
4b
1c
1d
1b
1f
5
1e
6
1

【図7】

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.